



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086391
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

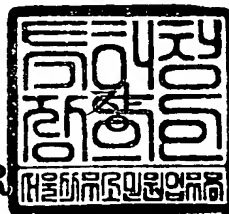
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 14 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0076		
【제출일자】	2002. 12. 30		
【발명의 명칭】	트랜지스터 제조 방법		
【발명의 영문명칭】	METHOD FOR MANUFACTURING TRANSISTOR		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-059722-7		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-059725-9		
【발명자】			
【성명의 국문표기】	박철수		
【성명의 영문표기】	PARK, Cheol Soo		
【주민등록번호】	610313-1637911		
【우편번호】	467-020		
【주소】	경기도 이천시 관고동 223-14		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 더미 게이트 패턴(dummy gate pattern)을 이용하여 트랜지스터(transistor)를 제조하는 방법에 관한 것으로, 더미 게이트 패턴을 이용하여 로컬 채널 임플란트(local channel implant)를 함으로써 쇼트 채널 효과(short channel effect)를 최소화하고 리버스 쇼트 채널 효과(reverse short channel effect)를 줄일 수 있도록 소오스/드레인(source/drain)을 형성한 후 채널을 형성한다.

【대표도】

도 1g

transistor) 특성에 영향을 주는 STI(Shallow Trench Isolation)의 디보트(devoit)이고, 다른 하나는 CoO 측면에서 리소그래피(Lithography) 능력이다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명은 상술한 결점을 해결하기 위하여 안출한 것으로, 더미 게이트 패턴을 이용하여 로컬 채널 임플란트(local channel implant)를 함으로써 쇼트 채널 효과(short channel effect)를 최소화하고 리버스 쇼트 채널 효과(reverse short channel effect)를 줄일 수 있도록 소오스/드레인(source/drain)을 형성한 후 채널을 형성하는 트랜지스터를 제조하는 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<12> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하면 다음과 같다.

<13> 도 1a 내지 도 1g는 본 발명에 따른 트랜지스터 제조 방법의 일 실시예를 공정별로 나타낸 단면도이다.

<14> 먼저, 도 1a와 같이 실리콘 기판(1) 위에 제 1 산화막(2), 제 1 질화막(3), 제 2 산화막(4), 및 제 2 질화막(5)을 차례로 적층한다. 제 2 질화막(5) 표면에 감광막(6)을 선택적으로 형성한다. 감광막(6) 영역을 제외한 제 1, 제 2 산화막(2, 4) 및 제 1, 제 2 질화막(3, 5) 전부와 실리콘 기판(1)의 특정 깊이 까지를 건식 식각하여 실리콘 기판(1) 위 STI 영역에 트렌치(trench)를 형성한다.

<15> 도 1b와 같이 감광막(6)을 제거한다. 전 표면에 제 1 절연막(산화막)(8)을 덮는다. 화학적 기계적 연마(CMP) 공정을 수행하여 제 2 질화막(5) 표면에서 평탄화되도록 한다. 이때, 제 2 질화막(5)이 화학적 기계적 연마의 스톱퍼(stopper) 기능을 수행한다. 표면에 게이트 전극

형성을 위해 감광막을 패터닝(patterning)한다. 패터닝된 감광막 영역 이외의 제 1, 제 2 산화막(2, 4) 및 제 1, 제 2 질화막(3, 5)을 건식 식각한다. 이때, 잔존된 제 2 산화막(4)이 더미 게이트 전극(10)이 되는 것이다. 게이트 영역의 양측 실리콘 기판(1) 상측에 LDD(9)를 형성한다.

<16> 도 1c와 같이 게이트의 양 측면에 측벽용 제 3 질화막(11)을 형성한다. 게이트 양측 실리콘 기판(1) 상측에 소오스(12a)와 드레인(12b)을 각각 형성한다. 전표면에 제 4 질화막(13)을 수백 Å 두께로 형성한다. 전표면에 제 2 절연막을 덮는다. 화학적 기계적 연마 공정을 게이트 영역의 제 4 질화막(13) 표면까지 수행한다.

<17> 도 1d와 같이 게이트 영역의 노출된 제 4 질화막(13)을 제거한다. 게이트 영역의 제 2 산화막(4)을 습식 식각한다. 이 때, 제 2 산화막(4)과 제 2 절연막(14)의 습식 식각 선택비가 20 : 1 정도 되도록 하여 제 2 산화막(4)이 모두 제거되는 동안 제 2 절연막(14)은 이의 1/20 정도만 제거되도록 한다.

<18> 도 1e와 같이 게이트 영역의 노출된 제 1 질화막(3)을 에치백하여 제거한다.

<19> 도 1f와 같이 로컬 채널 임플란테이션(15)을 수행하여 게이트 영역의 실리콘 기판(1) 상측에 로컬 채널 영역(16)을 형성한다. 이때, 소오스/드레인의 래터럴 확산(lateral diffusion)을 줄일 수 있기 때문에, 소오스/드레인의 접합 깊이(Junction Depth)를 줄일 수 있다. 또한, 게이트 에지의 접합을 더 얇게 하게 하여 n+/p, p+/n의 접합 리키지(leakage)를 현저히 줄일 수 있을 뿐만아니라 SCE(Short Channel Effect)도 개선시킬 수 있다.

<20> 도 1g와 같이 게이트 영역의 제 1 산화막(2)을 제거하고 그 자리에 제 3 절연막(17)을 성장시킨다. 게이트 영역에 게이트 전극(18)을 제 2 절연막(14) 표면까지 형성한다. 전표면에

제 4 절연막(19)을 형성하고 평탄화한다. 게이트 플러그(20a), 소오스 플러그(20b), 및 드레인 플러그(20c)를 형성한다.

<21> 이와 같은 본 발명은 제 1 절화막(3)을 사용하지 않아도 된다.

【발명의 효과】

<22> 이상에서 설명한 바와 같이, 본 발명은 더미 게이트 패턴을 이용하여 로컬 채널 임플란트를 함으로써 쇼트 채널 효과를 최소화하고 리버스 쇼트 채널 효과를 줄일 수 있도록 소오스/드레인을 형성한 후 채널을 형성한다.

【특허청구범위】**【청구항 1】**

기판 위에 제 1 산화막, 제 1 질화막, 제 2 산화막, 및 제 2 질화막을 차례로 적층하고
상기 제 2 질화막 표면에 감광막을 선택적으로 형성하는 제 1 단계;

상기 감광막 영역을 제외한 상기 제 1, 제 2 산화막 및 상기 제 1, 제 2 질화막 전부와
상기 기판의 특정 깊이 까지를 건식 식각하여 상기 기판 위 STI 영역에 트렌치를 형성하는 제
2 단계;

상기 감광막을 제거하고 전 표면에 제 1 절연막을 덮는 제 3 단계;

연마 공정을 수행하여 상기 제 2 질화막 표면에서 평탄화하는 제 4 단계;

표면에 게이트 전극 형성을 위해 감광막을 패터닝하는 제 5 단계;

상기 패터닝된 감광막 영역 이외의 상기 제 1, 제 2 산화막 및 상기 제 1, 제 2 질화막
을 제거하는 제 6 단계;

게이트 영역의 양측 상기 기판 상측에 LDD를 형성하고 게이트의 양 측면에 제 3 질화막
을 형성하는 제 7 단계;

게이트 양측 상기 기판 상측에 소오스와 드레인을 각각 형성하는 제 8 단계;

전표면에 제 4 질화막을 형성하고 전표면에 제 2 절연막을 덮는 제 9 단계;

연마 공정을 게이트 영역의 제 4 질화막 표면까지 수행하는 제 10 단계;

게이트 영역의 노출된 상기 제 4 질화막을 제거하는 제 11 단계;

게이트 영역의 상기 제 2 산화막을 제거하는 제 12 단계;

게이트 영역의 노출된 상기 제 1 질화막을 제거하는 제 13 단계;

로컬 채널 임플란테이션을 수행하여 게이트 영역의 상기 기판 상측에 로컬 채널 영역을 형성하는 제 14 단계;

게이트 영역의 상기 제 1 산화막을 제거하고 그 자리에 제 3 절연막을 성장시키는 제 15 단계;

게이트 영역에 게이트 전극을 상기 제 2 절연막 표면까지 형성하는 제 16 단계;

전표면에 제 4 절연막을 형성하고 평탄화하는 제 17 단계; 및

게이트 플러그, 소오스 플러그, 및 드레인 플러그를 형성하는 제 18 단계를 포함하는 트랜지스터 제조 방법.

【청구항 2】

기판 위에 제 1 산화막, 제 2 산화막, 및 제 1 질화막을 차례로 적층하고 상기 제 1 질화막 표면에 감광막을 선택적으로 형성하는 제 1 단계;

상기 감광막 영역을 제외한 상기 제 1, 제 2 산화막 및 상기 제 1 질화막 전부와 상기 기판의 특정 깊이 까지를 건식 식각하여 상기 기판 위 STI 영역에 트렌치를 형성하는 제 2 단계;

상기 감광막을 제거하고 전 표면에 제 1 절연막을 덮는 제 3 단계;

연마 공정을 수행하여 상기 제 1 질화막 표면에서 평탄화하는 제 4 단계;

표면에 게이트 전극 형성을 위해 감광막을 패터닝하는 제 5 단계;

상기 패터닝된 감광막 영역 이외의 상기 제 1, 제 2 산화막 및 상기 제 1, 제 1 질화막을 제거하는 제 6 단계;

게이트 영역의 양측 상기 기판 상측에 LDD를 형성하고 게이트의 양 측면에 제 2 질화막을 형성하는 제 7 단계;

게이트 양측 상기 기판 상측에 소오스와 드레인을 각각 형성하는 제 8 단계;

전표면에 제 3 질화막을 형성하고 전표면에 제 2 절연막을 덮는 제 9 단계;

연마 공정을 게이트 영역의 제 3 질화막 표면까지 수행하는 제 10 단계;

게이트 영역의 노출된 상기 제 3 질화막을 제거하는 제 11 단계;

게이트 영역의 상기 제 2 산화막을 제거하는 제 12 단계;

로컬 채널 임플란테이션을 수행하여 게이트 영역의 상기 기판 상측에 로컬 채널 영역을 형성하는 제 14 단계;

게이트 영역의 상기 제 1 산화막을 제거하고 그 자리에 제 3 절연막을 성장시키는 제 15 단계;

게이트 영역에 게이트 전극을 상기 제 2 절연막 표면까지 형성하는 제 16 단계;

전표면에 제 4 절연막을 형성하고 평탄화하는 제 17 단계; 및

게이트 플러그, 소오스 플러그, 및 드레인 플러그를 형성하는 제 18 단계를 포함하는 트랜지스터 제조 방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 기판은 실리콘 기판인 것을 특징으로 하는 트랜지스터 제조 방법.

【청구항 4】

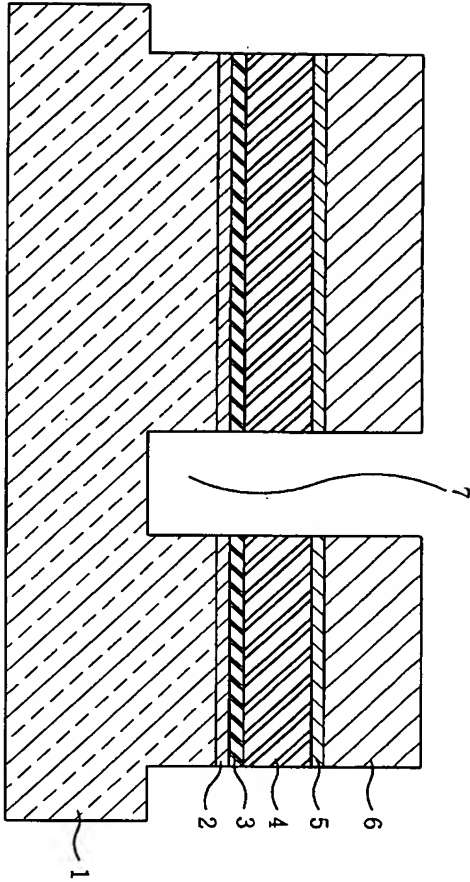
제 1 항 또는 제 2 항에 있어서, 상기 연마는 화학적 기계적 연마인 것을 특징으로 하는 트랜지스터 제조 방법.

【청구항 5】

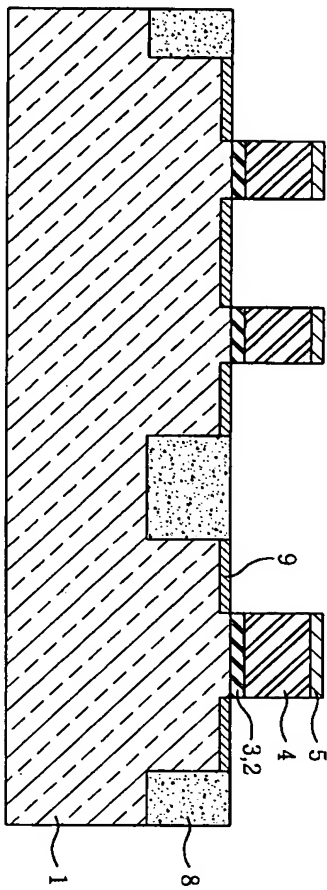
제 1 항 또는 제 2 항에 있어서, 상기 게이트 영역의 상기 제 2 산화막을 제거할 때 습식 식각으로 제거하는 것을 특징으로 하는 트랜지스터 제조 방법.

【도면】

【도 1a】



【도 1b】

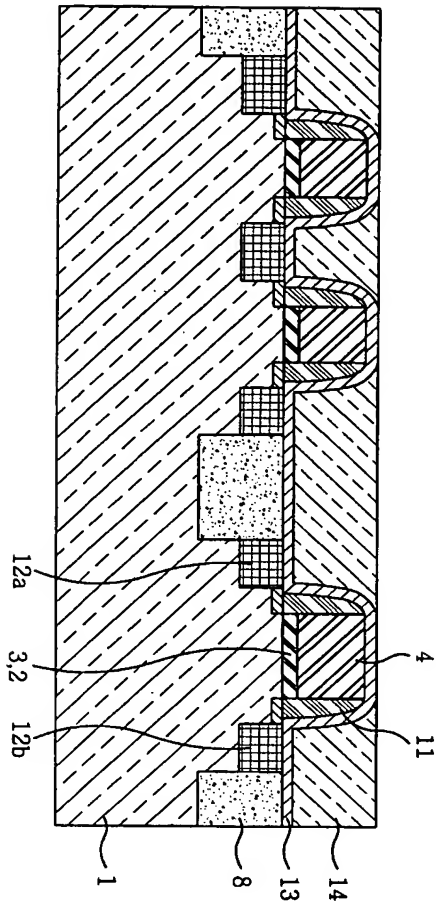




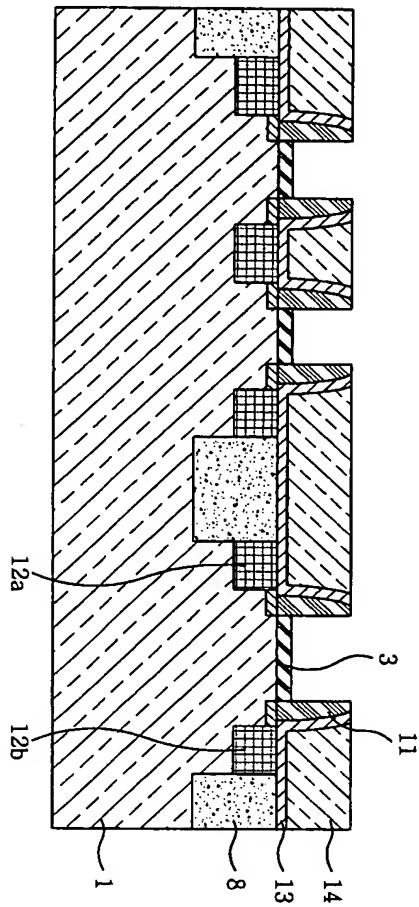
1020020086391

출력 일자: 2003/10/20

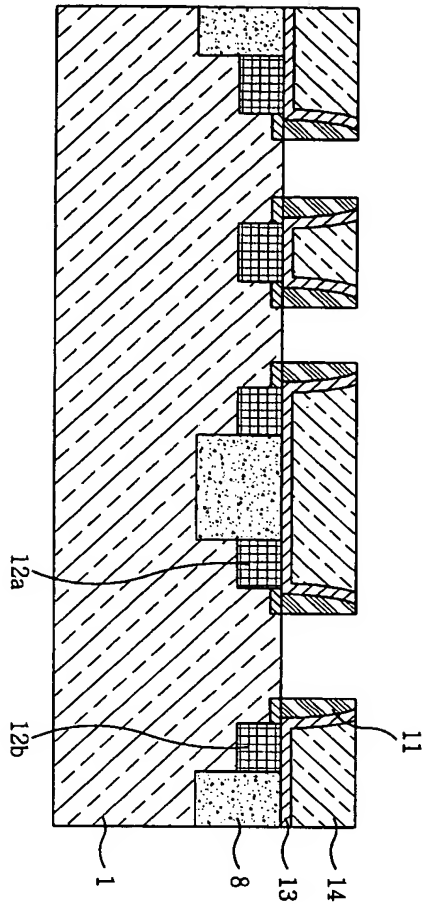
【도 1c】



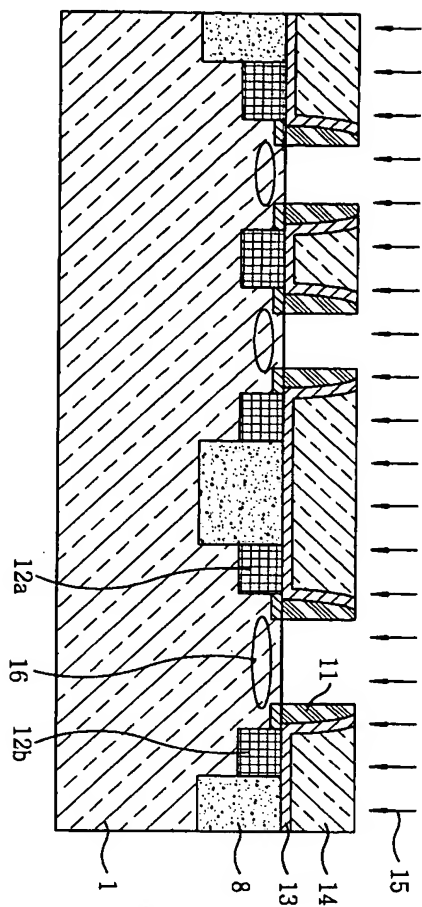
【도 1d】



【도 1e】



【도 1f】



【도 1g】

